

## YSS225

### EP (Effect Processor)

#### ■ 概要

YSS225 (EP) は、音源LSIなどのデジタル音声出力にゲーム機用の各種エフェクト (リバーブ、ディレイ、フランジ、ディストーション、オートパンなど) を付加するための音声信号処理LSIです。

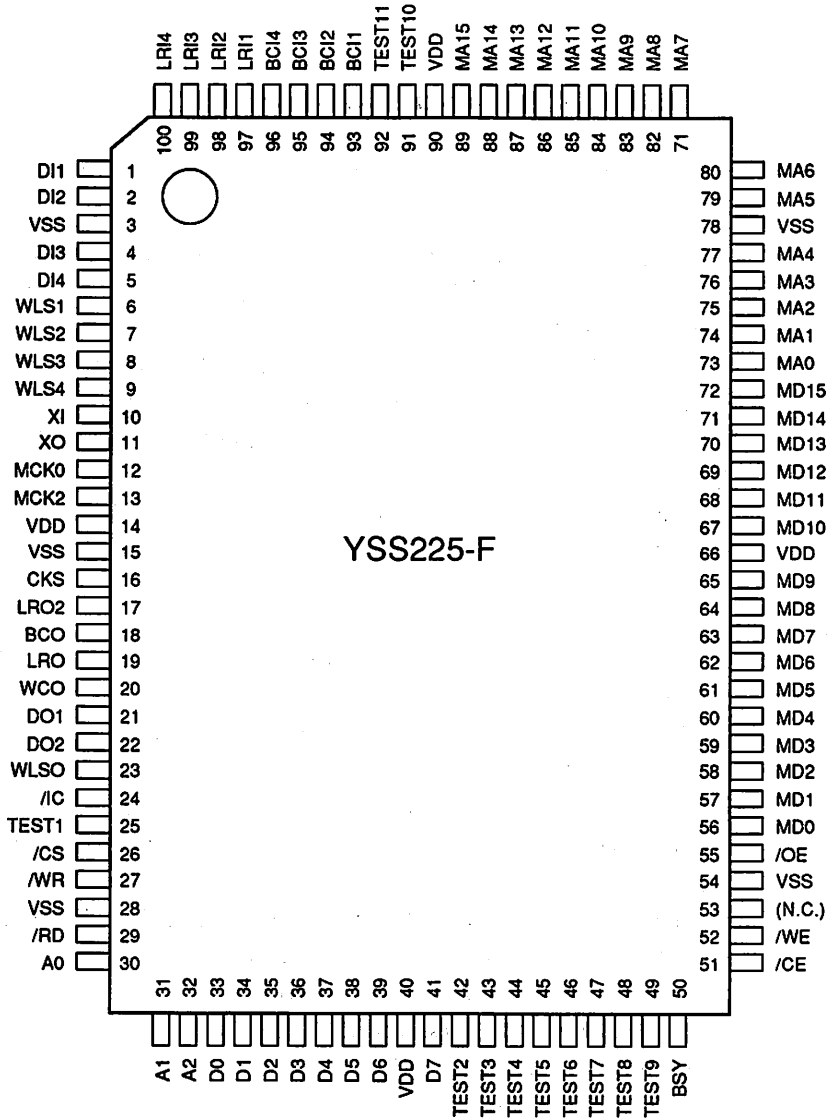
各エフェクトは、セットアップデータを、本LSIに転送することで実現でき、入力チャンネルに対して独立に複数種類のエフェクトを同時に付加することが可能です。また、セットアップデータはあらかじめ用意されていますので短期間で最適な音作りが可能です。

特にヤマハ音源LSIと組み合わせて使用することで、高品位で多機能な音源システムを容易に実現できます。

#### ■ 特徴

- 入力はステレオ4系統 (16/18ビット、MSBファースト) により、最大8チャンネルまで対応。
- 出力はステレオ2系統 (16/18ビット、MSBファースト) により、フロント、リアの4スピーカーにも対応。
- 各入力チャンネルに対して、独立のエフェクトを付加することが可能。
- YMF271 (OPX) とインタフェースすることで、FM音やPCM音に各種エフェクトを付加可能。
- 256kビットの疑似SRAMを2個または4個使用。4個使用時、最大約1.5秒を各種エフェクトのための遅延時間領域に割り当て可能。
- サンプリング周波数 ( $f_s$ ) は、32kHz~48kHz。
- マスタークロックは、 $384f_s$ または $256f_s$ 。
- YAMAHA SiゲートCMOSプロセス。
- 100ピンQFP (YSS225-F)。

■ 端子配置图



100 pin QFP Top View

## ■ 端子機能説明

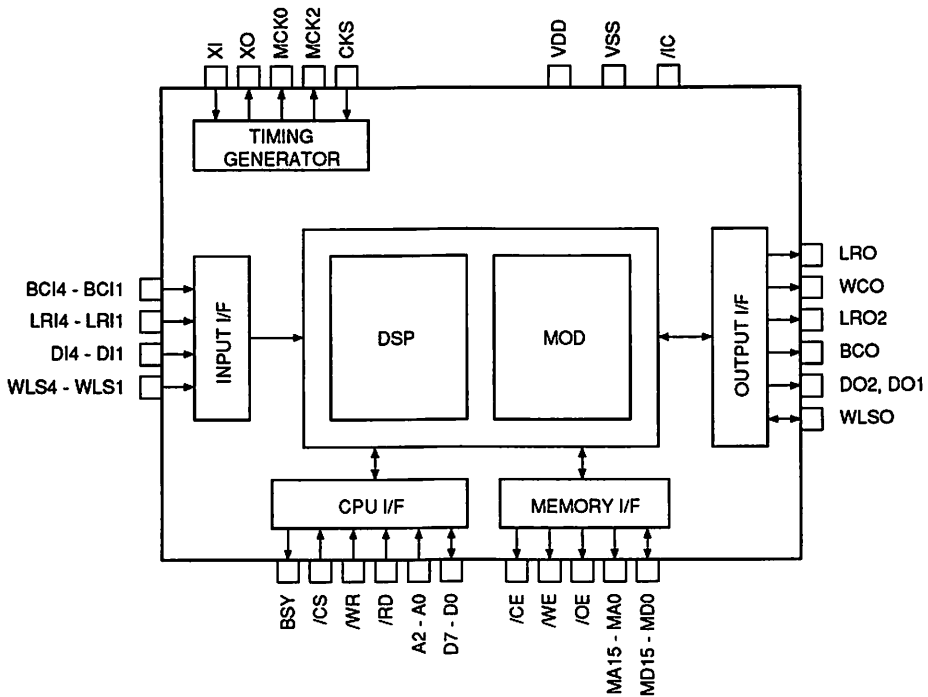
No.	端子名	I/O	機能	
1	DI1	I	音声信号入力端子	0,1チャンネルシリアルデータ
2	DI2	I	音声信号入力端子	2,3チャンネルシリアルデータ
3	VSS	-	グランド	
4	DI3	I	音声信号入力端子	4,5チャンネルシリアルデータ
5	DI4	I	音声信号入力端子	6,7チャンネルシリアルデータ
6	WLS1	I+	0,1チャンネル入力データ長切り換え (H:16ビット、L:18ビット)	
7	WLS2	I+	2,3チャンネル入力データ長切り換え (H:16ビット、L:18ビット)	
8	WLS3	I+	4,5チャンネル入力データ長切り換え (H:16ビット、L:18ビット)	
9	WLS4	I+	6,7チャンネル入力データ長切り換え (H:16ビット、L:18ビット)	
10	XI	I	水晶発振子接続端子または外部クロック入力端子	(TYP = 16.9344MHz)
11	XO	O	水晶発振子接続端子	
12	MCKO	O	マスタークロック出力	(TYP = 16.9344MHz)
13	MCK2	O	256fsまたは128fs出力	
14	VDD	-	+5V電源	
15	VSS	-	グランド	
16	CKS	I+	マスタークロック分周数設定 (H:384fs, L:256fs)	
17	LRO2	O	音声信号出力端子	L/Rクロック
18	BCO	O	音声信号出力端子	ビットクロック
19	LRO	O	音声信号出力端子	L/Rクロック
20	WCO	O	音声信号出力端子	ワードクロック
21	DO1	O	音声信号出力端子	FL, FRチャンネルシリアルデータ
22	DO2	O	音声信号出力端子	RL, RRチャンネルシリアルデータ
23	WLSO	I+	音声出力データ長切り換え (H:16ビット、L:18ビット)	
24	/IC	I	イニシャルクリア信号入力	
25	TEST1	I+	LSIテスト用端子1	
26	/CS	I	CPUインタフェース	チップセレクト信号入力
27	/WR	I	CPUインタフェース	ライトイネーブル信号入力
28	VSS	-	グランド	
29	/RD	I	CPUインタフェース	リードイネーブル信号入力
30	A0	I	CPUインタフェース	アドレス選択信号入力0
31	A1	I	CPUインタフェース	アドレス選択信号入力1
32	A2	I	CPUインタフェース	アドレス選択信号入力2
33	D0	I/O	CPUインタフェース	データバス (D0)
34	D1	I/O	CPUインタフェース	データバス (D1)
35	D2	I/O	CPUインタフェース	データバス (D2)
36	D3	I/O	CPUインタフェース	データバス (D3)
37	D4	I/O	CPUインタフェース	データバス (D4)
38	D5	I/O	CPUインタフェース	データバス (D5)
39	D6	I/O	CPUインタフェース	データバス (D6)
40	VDD	-	+5V電源	
41	D7	I/O	CPUインタフェース	データバス (D7)
42	TEST2	I+	LSIテスト用端子2	
43	TEST3	I+	LSIテスト用端子3	
44	TEST4	I+	LSIテスト用端子4	

No.	端子名	I/O	機能	
45	TEST5	I+	LSIテスト用端子5	
46	TEST6	I/O	LSIテスト用端子6	
47	TEST7	I/O	LSIテスト用端子7	
48	TEST8	I/O	LSIテスト用端子8	
49	TEST9	I/O	LSIテスト用端子9	
50	BSY	OD	Busy端子 (レジスタにデータをロード中 'H')	
51	/CE	O	外部疑似SRAMインタフェース	チップイネーブル入力
52	/WE	O	外部疑似SRAMインタフェース	ライトイネーブル入力
53	(N.C.)		*	
54	VSS	-	グランド	
55	/OE	O	外部疑似SRAMインタフェース	アウトプットイネーブル入力
56	MD0	I/O	外部疑似SRAMインタフェース	データバス (D0)
57	MD1	I/O	外部疑似SRAMインタフェース	データバス (D1)
58	MD2	I/O	外部疑似SRAMインタフェース	データバス (D2)
59	MD3	I/O	外部疑似SRAMインタフェース	データバス (D3)
60	MD4	I/O	外部疑似SRAMインタフェース	データバス (D4)
61	MD5	I/O	外部疑似SRAMインタフェース	データバス (D5)
62	MD6	I/O	外部疑似SRAMインタフェース	データバス (D6)
63	MD7	I/O	外部疑似SRAMインタフェース	データバス (D7)
64	MD8	I/O	外部疑似SRAMインタフェース	データバス (D8)
65	MD9	I/O	外部疑似SRAMインタフェース	データバス (D9)
66	VDD	-	+5V電源	
67	MD10	I/O	外部疑似SRAMインタフェース	データバス (D10)
68	MD11	I/O	外部疑似SRAMインタフェース	データバス (D11)
69	MD12	I/O	外部疑似SRAMインタフェース	データバス (D12)
70	MD13	I/O	外部疑似SRAMインタフェース	データバス (D13)
71	MD14	I/O	外部疑似SRAMインタフェース	データバス (D14)
72	MD15	I/O	外部疑似SRAMインタフェース	データバス (D15)
73	MA0	O	外部疑似SRAMインタフェース	アドレスバス (A0)
74	MA1	O	外部疑似SRAMインタフェース	アドレスバス (A1)
75	MA2	O	外部疑似SRAMインタフェース	アドレスバス (A2)
76	MA3	O	外部疑似SRAMインタフェース	アドレスバス (A3)
77	MA4	O	外部疑似SRAMインタフェース	アドレスバス (A4)
78	VSS	-	グランド	
79	MA5	O	外部疑似SRAMインタフェース	アドレスバス (A5)
80	MA6	O	外部疑似SRAMインタフェース	アドレスバス (A6)
81	MA7	O	外部疑似SRAMインタフェース	アドレスバス (A7)
82	MA8	O	外部疑似SRAMインタフェース	アドレスバス (A8)
83	MA9	O	外部疑似SRAMインタフェース	アドレスバス (A9)
84	MA10	O	外部疑似SRAMインタフェース	アドレスバス (A10)
85	MA11	O	外部疑似SRAMインタフェース	アドレスバス (A11)
86	MA12	O	外部疑似SRAMインタフェース	アドレスバス (A12)
87	MA13	O	外部疑似SRAMインタフェース	アドレスバス (A13)
88	MA14	O	外部疑似SRAMインタフェース	アドレスバス (A14)
89	MA15	O	外部疑似SRAMインタフェース	アドレスバス (A15)

No.	端子名	I/O	機能
90	VDD	-	+5V電源
91	TEST10	I+	LSIテスト用端子10
92	TEST11	I+	LSIテスト用端子11
93	BCI1	I	音声信号入力端子 0,1チャンネル用ビットクロック
94	BCI2	I	音声信号入力端子 2,3チャンネル用ビットクロック
95	BCI3	I	音声信号入力端子 4,5チャンネル用ビットクロック
96	BCI4	I	音声信号入力端子 6,7チャンネル用ビットクロック
97	LRI1	I	音声信号入力端子 0,1チャンネル用L/Rクロック
98	LRI2	I	音声信号入力端子 2,3チャンネル用L/Rクロック
99	LRI3	I	音声信号入力端子 4,5チャンネル用L/Rクロック
100	LRI4	I	音声信号入力端子 6,7チャンネル用L/Rクロック

注) (N.C.), TEST1~11: この端子は通常無接触でご使用下さい。  
 I+: プルアップ抵抗内蔵端子  
 OD: オープンドレイン出力端子

## ■ ブロック図



## ■ 機能概要説明

### 1. セットアップデータ

YSS225は、演算処理を行うDSP部と変調波を発生するMOD部に分かれそれぞれにセットアップデータを転送することにより音声処理を行います。

DSP部のセットアップデータはマイクロプログラム、メモリアドレス及び係数から構成されています。

MOD部のセットアップデータは16チャンネル分の変調波をコントロールするデータで構成されます。

#### (1) DSP部セットアップデータ

Page	Address	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0	内容
0	00H : 7FH	Data (High)								Data (Low)								マイクロプログラム
1	00H : 7FH	Data (High)								Data (Low)								
2	00H : 7FH									Data (Low)								
3	00H : 7FH									Data (Low)								
4	00H : 7FH									Data (Low)								
6*	00H : 7FH	Data (High)								Data (Low)								メモリアドレス
7	00H : 7FH				Data (High)					Data (Low)								係数

\*: は、無効領域。Page6については偶数アドレスのみ有効

## (2) MOD部セットアップデータ

Address	d7	d6	d5	d4	d3	d2	d1	d0
01H	[無効領域]				KON CHANNEL			
02H	[無効領域]							KON
05H	[無効領域]		WAVE ADDR					
06H	WAVE DATA							
1xH	FREQ-LO							
2xH	[無効領域]				FREQ-HI			
3xH	[無効領域]		PHASE					
4xH	[無効領域]	F/L	WF	LFREN	LFO SYNC			
5xH	EG LEVEL							
6xH	OFFSET							
7xH	TYPE	PRTEC	'0'	ADBC	EXP	AMUL		
8xH	[無効領域]		FEG-AT					
9xH	FEG-AL							
AxH	[無効領域]		FEG-RT					
BxH	[無効領域]	FEGREN	FEG-MODE	[無効領域]				
CxH	[無効領域]		LEG-AT					
DxH	LEG-AL							
ExH	[無効領域]		LEG-RT					
FxH	[無効領域]	LEGREN	LEG-MODE	[無効領域]				

■ は無効領域。xは0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, Fの値をとり、それぞれCH0~CH15に対応する。

## 2. CPUインタフェース

YSS225にセットアップデータを転送するために以下のレジスタが用意されています。各レジスタ切り換えはA0～A2端子で行います。

/CS	/WR	/RD	A2	A1	A0	レジスタ
L	L	H	L	L	L	オペレーションレジスタ
			L	L	H	ロードコントロールレジスタ
			L	H	L	DSP部アドレスレジスタ
			L	H	H	DSP部ページレジスタ
			H	L	L	DSP部下位バイトデータレジスタ
			H	L	H	DSP部上位バイトデータレジスタ
			H	H	L	MOD部アドレスレジスタ
			H	H	H	MOD部データレジスタ
	H	L	L	L	L	ステータスレジスタ
H	x	x	x	x	x	インヒビット

x : Don't care

### (1) オペレーションレジスタ

d7	d6	d5	d4	d3	d2	d1	d0
						MUTE	'0'

MUTE… '1'のときDSPの出力をオフにします。

(注) d0は常に'0'を設定して下さい。

### (2) ロードコントロールレジスタ

d7	d6	d5	d4	d3	d2	d1	d0
					AUT1	LCR1	LCR0

AUT1… '1'のとき、セットアップデータがDSP部に転送された後、自動的にアドレスが+1'インクリメントされます。'0'のときはインクリメントされません。

LCR1… '1'のとき、設定データの上位バイトが書き込まれた時点で、アドレス、ページ及び設定データがDSP部に転送されます。

LCR0… '1'のとき、設定データの下位バイトが書き込まれた時点で、アドレス、ページ及び設定データがDSP部に転送されます。

(注) LCR1=LCR0=0の場合は、設定データを書き込んでもDSP部にデータは転送されません。このレジスタはDSP部にのみ有効です。

### (3) DSP部アドレスレジスタ

d7	d6	d5	d4	d3	d2	d1	d0
	DSP-ADD						

DSP-ADD… DSP部レジスタのアドレスを指定します。Page6が指定された場合は偶数アドレスのみ有効になります。



## (4) DSP部ページレジスタ

d7	d6	d5	d4	d3	d2	d1	d0	
					DSP-PAGE			

DSP-PAGE… DSP部レジスタのページを指定します。Page5が指定された場合、アドレス及びデータは無効になります。

## (5) DSP部下位バイトデータレジスタ

d7	d6	d5	d4	d3	d2	d1	d0
DSP-DATA (Low)							

DSP-DATA… DSP部レジスタにセットアップデータの下位バイトを転送します。

## (6) DSP部上位バイトデータレジスタ

d7	d6	d5	d4	d3	d2	d1	d0
DSP-DATA (High)							

DSP-DATA… DSP部レジスタにセットアップデータの上位バイトを転送します。Page2, Page3, Page4ではこのレジスタに設定されたデータは無効になります。

## (7) MOD部アドレスレジスタ

d7	d6	d5	d4	d3	d2	d1	d0
MOD-ADD							

MOD-ADD… MOD部レジスタのアドレスを指定します。

## (8) MOD部データレジスタ

d7	d6	d5	d4	d3	d2	d1	d0
MOD-DATA							

MOD-DATA… MOD部レジスタにセットアップデータを転送するための設定をします。

## (9) スタータスレジスタ

d7	d6	d5	d4	d3	d2	d1	d0
BUSY							

BUSY… DSP部及びMOD部にセットアップデータが転送されている間'1'になります。

■ : Don't care

3. メモリインタフェース

YSS225 (EP) は、各種エフェクトのための遅延時間領域用に、256kビット (32kワード×8ビット) の疑似SRAMを2個または4個使用します。遅延する音声データの語長は16ビットですので必ず偶数個で使用して下さい。

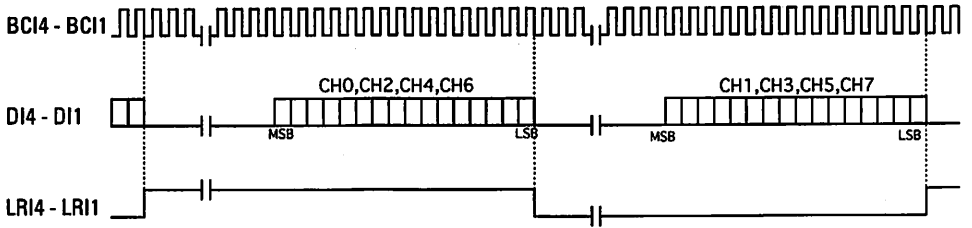
4. 入出力フォーマット

(1) デジタル音声データ入力

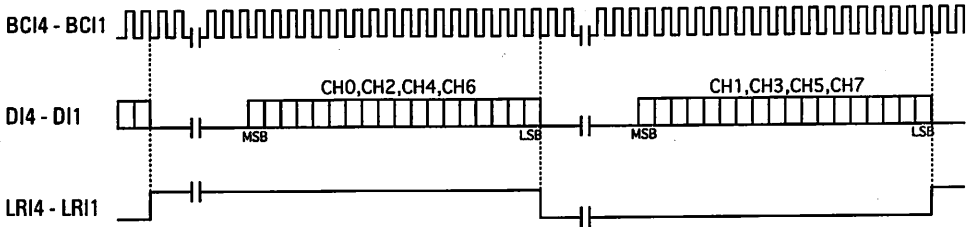
音声信号入力はステレオが4系統あります。BCI, LRI, DIはマスタークロックと同期している必要がありますが、マスタークロック及び各系統間の位相関係に規定はありません。

音声信号は16ビットもしくは18ビットのMSBファーストフォーマットです。データ長の切り換えはWLS端子で行い、WLS='H'のとき16ビット、WLS='L'のとき18ビットとなります。ビットクロック (BCI) は48fsまたは64fsを入力して下さい。

<フォーム1> WLS = 'H'の場合



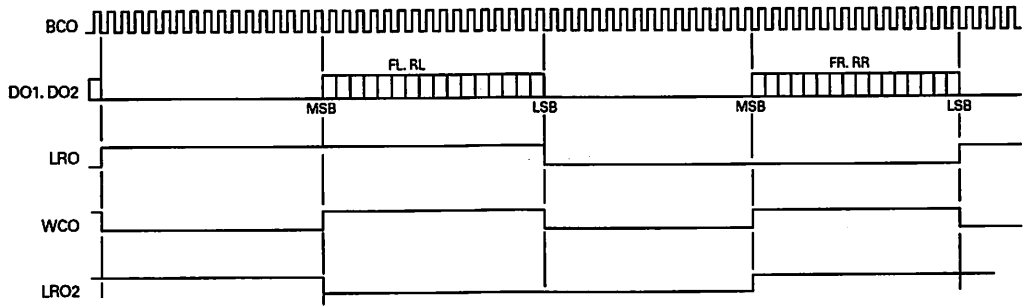
<フォーム2> WLS = 'L'の場合



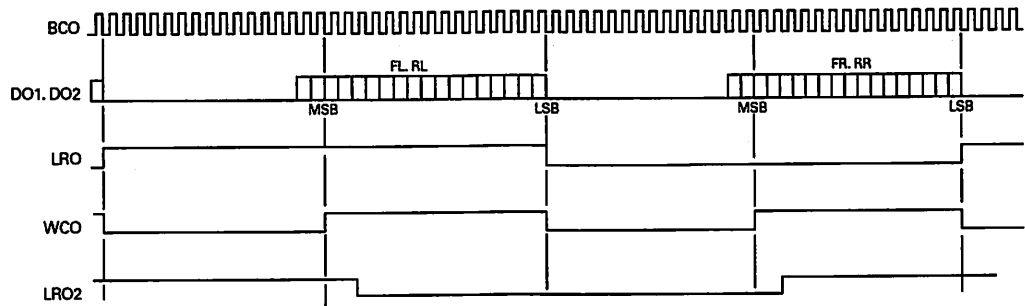
## (2) デジタル音声データ出力

音声信号出力はステレオが2系統あり、16ビットもしくは18ビットのMSBファーストフォーマットで出力されます。データ長の切り換えはWLSO端子で行い、WLSO='H'のとき16ビットを、WLSO='L'のとき18ビットのデータを出力します。ビットクロック (BCO) は64fsです。

### <フォーム1> WLSO = 'H'の場合



### <フォーム2> WLSO = 'L'の場合

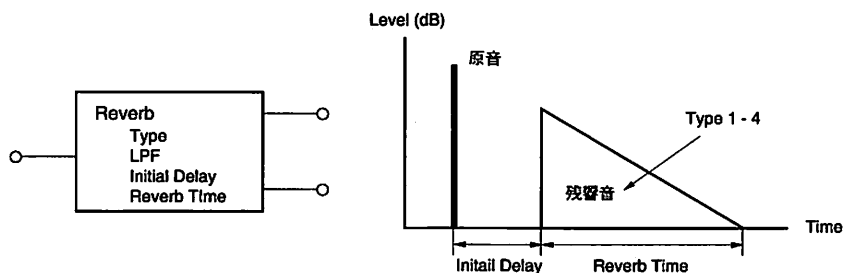


## ■セットアップデータ

マイクロプログラムは、YAMAHAから提供されます(マイクロプログラム A-E)。それぞれのマイクロプログラム中には以下の5つのエフェクトユニットが使用されています。ここでは、各エフェクトユニットについて説明し、5つのマイクロプログラムのシグナルフロー図を示します。各エフェクトユニットにおいて、係数値及び外部メモリアドレスを変更することで効果の度合いを変化させることができます。

### 1. リバーブユニット

壁などに反射して聴こえる残響音を作り出すユニットです。

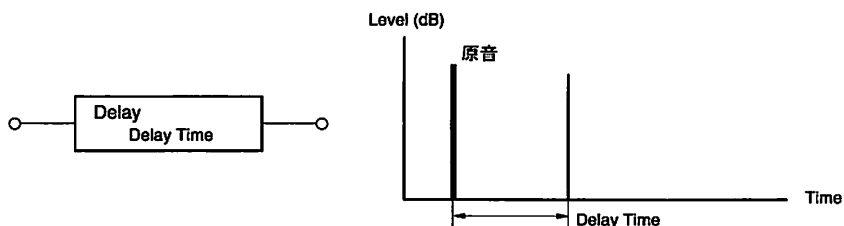


パラメータ	設定範囲
Type:	1. 広い空間での響きをシミュレートしたリバーブ 2. タイプ1よりも小さな空間での響きをシミュレートしたリバーブ 3. ボーカルに適したリバーブ 4. 鉄板エコーのシミュレートで、硬めの残響音を得られるリバーブ
LPF:	THRU、4 - 11 [kHz]
Initial Delay*:	0 - 1160 [ms]
Reverb Time:	0.3 - 40 [s]

### 2. デイレイユニット

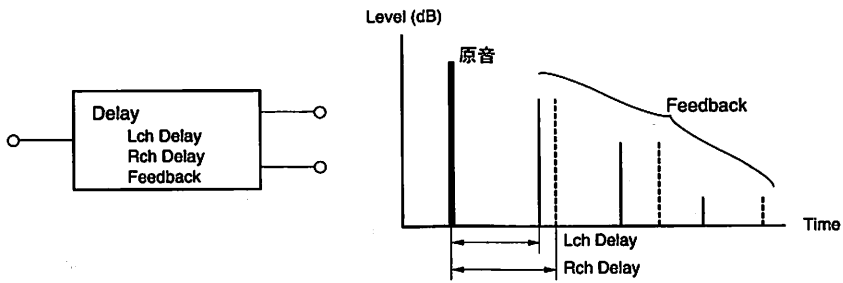
音の遅れを作り出すユニットです。デイレイユニットでは、1出力、2出力、4出力の3つのタイプを使用しています。

#### 1出力タイプ



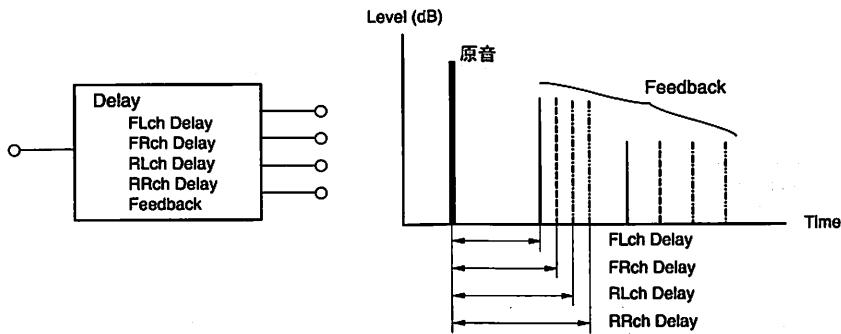
パラメータ	設定範囲
Delay time*:	0 - 1160 [ms]

## -2出力タイプ



パラメータ	設定範囲
Lch Delay*:	0 - 1160 [ms]
Rch Delay*:	0 - 1160 [ms]
Feedback:	-99 - 99 [%]

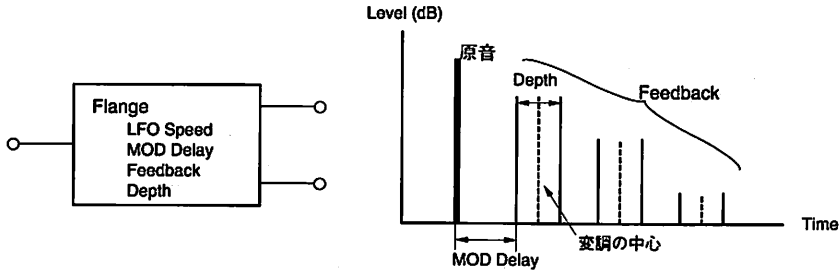
## -4出力タイプ



パラメータ	設定範囲
FLch Delay*:	0 - 1160 [ms]
FRch Delay*:	0 - 1160 [ms]
RLch Delay*:	0 - 1160 [ms]
RRch Delay*:	0 - 1160 [ms]
Feedback:	-99 - 99 [%]

### 3. フランジュユニット

遅延時間を変調して、うねり効果を生じさせるユニットです。

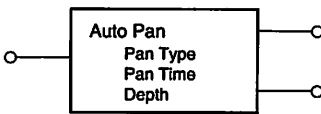


パラメータ	設定範囲
LFO Speed:	0 - 20 [Hz]
MOD Delay:	0 - 1160 [ms]
Feedback:	-99 - +99 [%]
Depth:	0 - 100 [%]

### 4. オートパンユニット

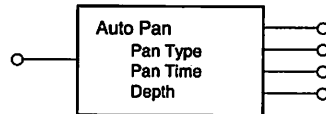
出力のボリュームを自動で制御をし、音の定位を自動的に移動させるユニットです。

#### 2出力タイプ



パラメータ	設定範囲
Pan Type:	R→L、L→R、L↔R
Pan Time:	0 - 172 [Hz]
Depth:	0.1 - 99 [%]

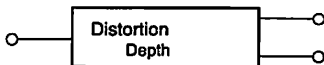
#### 4出力タイプ



パラメータ	設定範囲
Pan Type:	L-TURN、R-TURN、L↔R Front↔Rear、FL→RR、FR→RL
Pan Time:	0 - 172 [Hz]
Depth:	0.1 - 99 [%]

### 5. ディストーションユニット

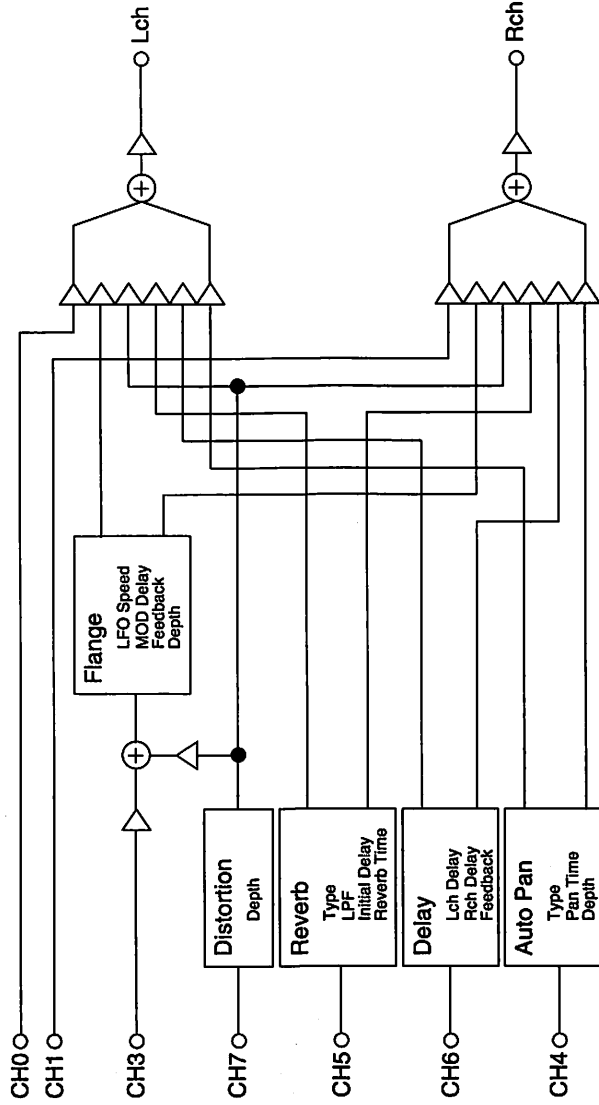
音をクリップさせ歪ませるユニットです。



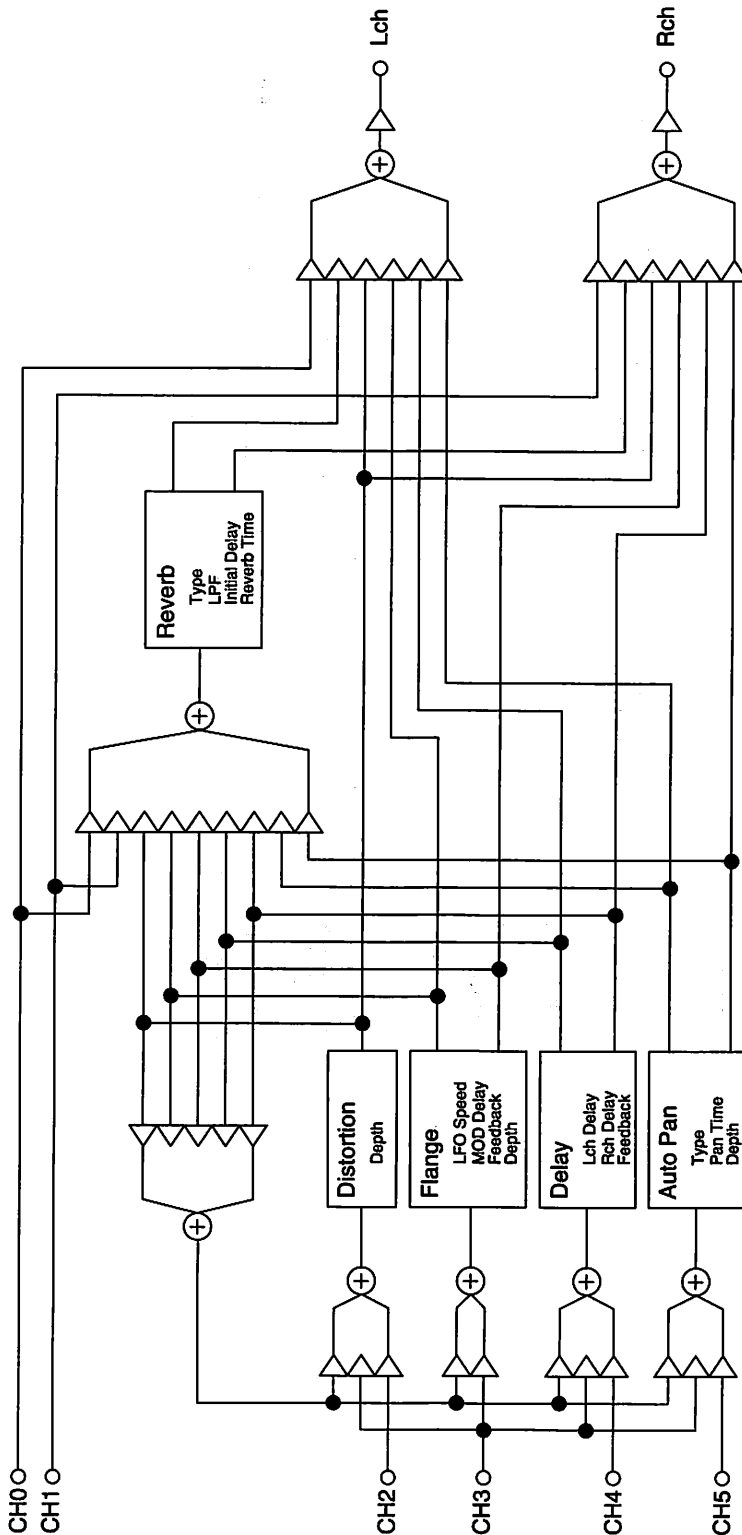
パラメータ	設定範囲
Depth:	0 - 100 [%]

\*: 遅延メモリ領域は、4個のPSRAMを使用した際、約1.5秒分使用できます(2この場合は、約750ms)。うち、リバープが、固定領域として330ms分を使用してしまうため、残りの領域で他のユニットのDelay時間を割り振らなければなりません。1つのユニットで長いDelay時間を設定してしまった場合、他のユニットではDelay時間の設定ができないという可能性もあります。

## マイクロプログラム-A (サンプル)

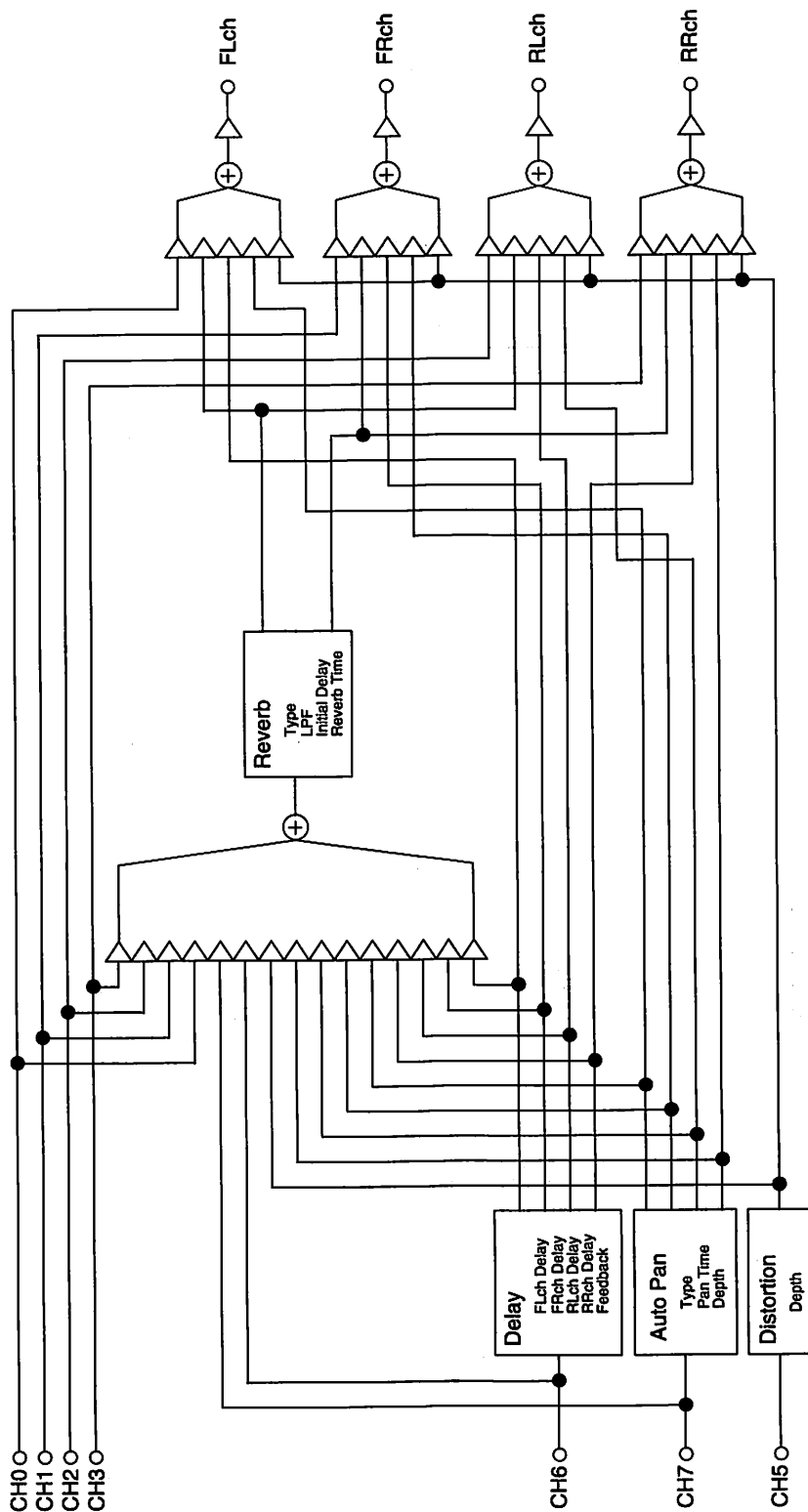


マイクロプログラム-B (出力2チャンネルスタンダード型)

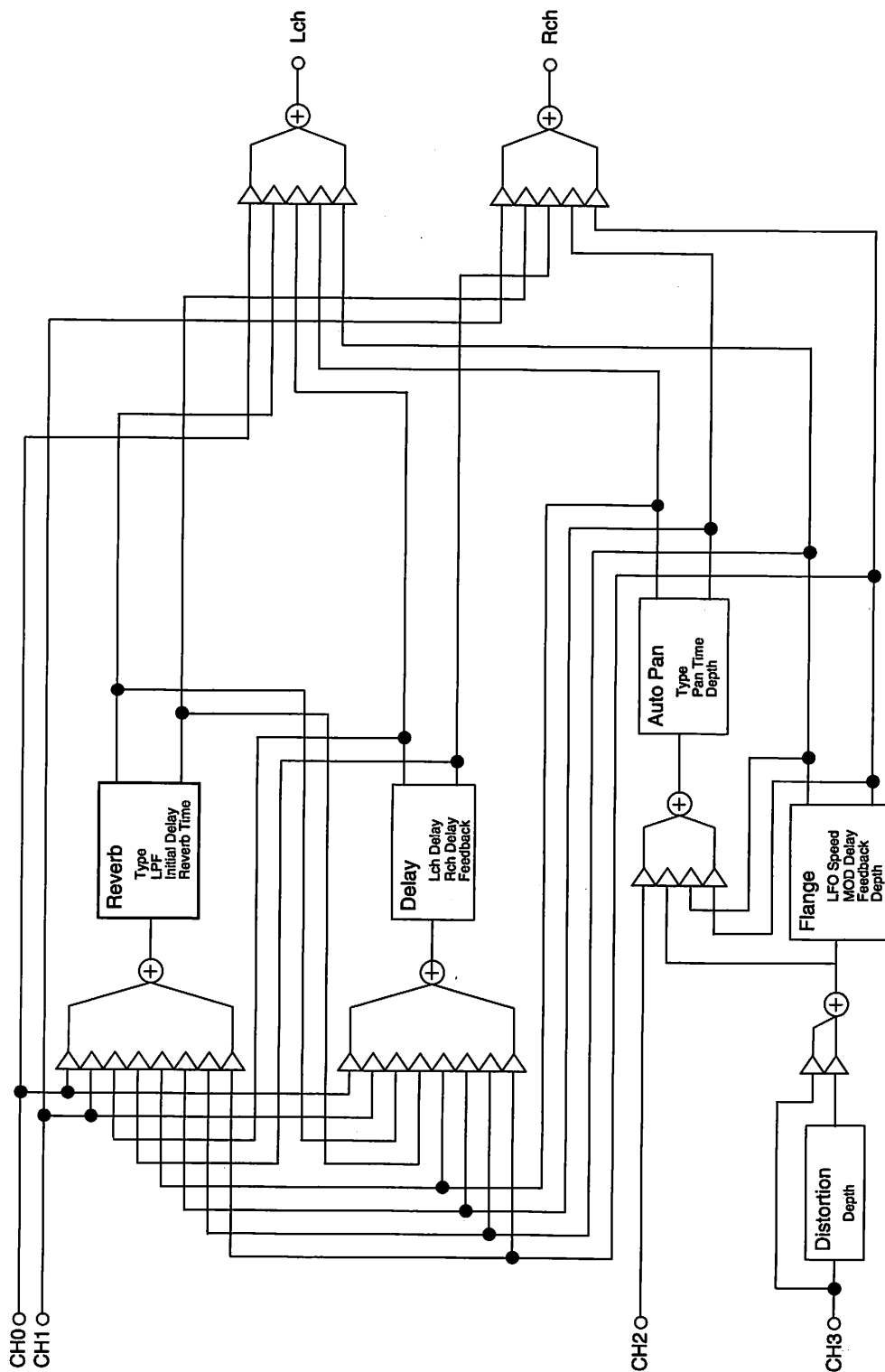




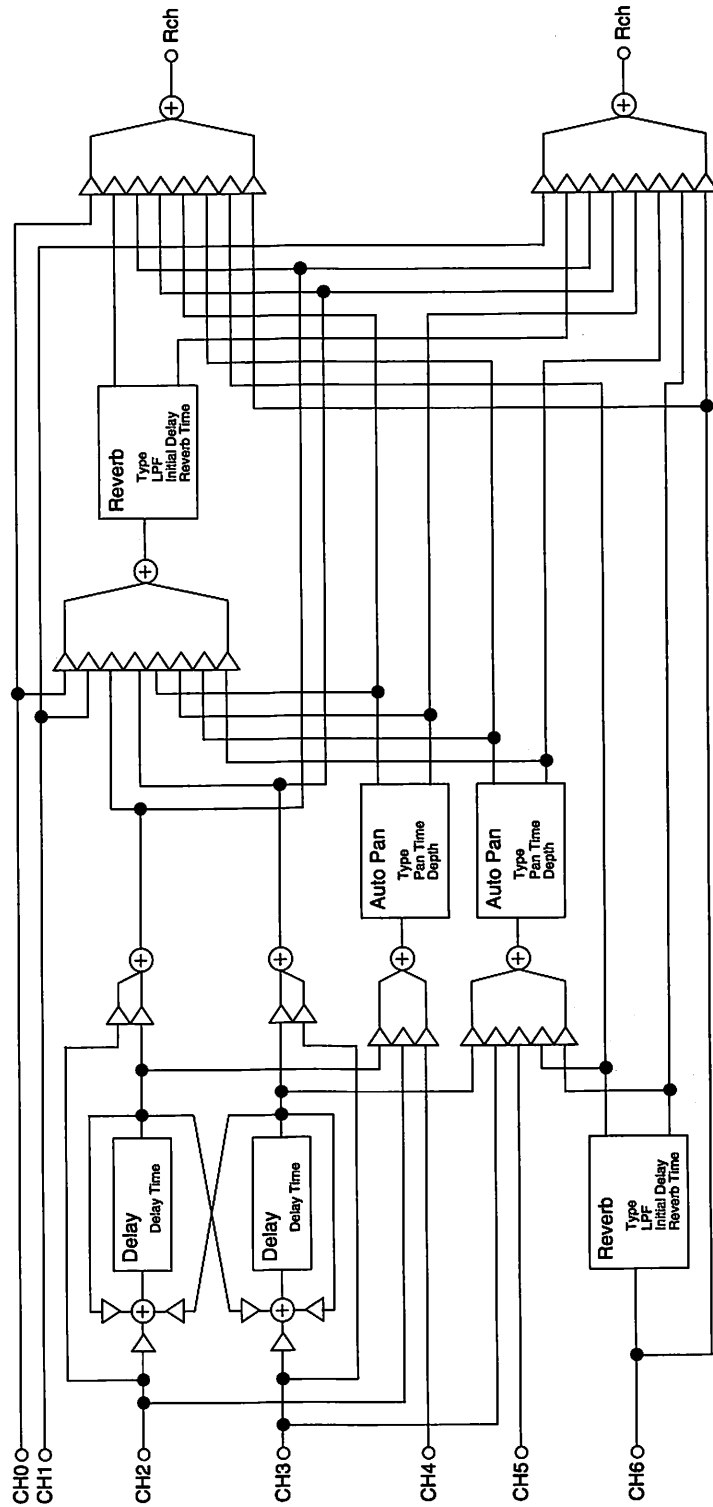
マイクロプログラム-C (出力4チャンネルスタンダード型)



マイクロプログラム-D (入力2チャンネル集中型)



## マイクロプログラム-E (空関係エフェクト強化型)



## ■電気的特性

## 1.絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{DD}$	-0.3 ~ +7.0	V
入力電圧	$V_I$	-0.3 ~ $V_{DD}+0.3$	V
動作周囲温度	$T_{op}$	0 ~ 70	°C
保存温度	$T_{stg}$	-50 ~ 125	°C

## 2.推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	$V_{DD}$	4.75	5.0	5.25	V
動作周囲温度	$T_{op}$	0	25	70	°C

## 3.直流特性

(条件:  $T_{op}=0\sim 70$  °C,  $V_{DD}=5.0 \pm 0.25$  V)

項目	記号	条件	最小	最大	単位
消費電流	$I_D$	$V_{DD}=5.25$ V		40	mA
"H"レベル入力電圧1	$V_{IH1}$	*1	3.5		V
"L"レベル入力電圧1	$V_{IL1}$	*1		1.5	V
"H"レベル入力電圧2	$V_{IH2}$	*2	2.0		V
"L"レベル入力電圧2	$V_{IL2}$	*2		0.4	V
"H"レベル出力電圧	$V_{OH}$	$I_{OH}=0.1$ mA, *3	2.4		V
"L"レベル出力電圧1	$V_{OL1}$	$I_{OL1}=1.6$ mA, *3		0.4	V
"L"レベル出力電圧2	$V_{OL2}$	$I_{OL}=1.6$ mA, $R_L=3.1$ k $\Omega$ , *4		0.4	V
入力電流	$I_I$	$V_I=0$ V, *5	30	300	$\mu$ A
入力リーク電流	$I_{LI}$	$V_I=0 \sim 5$ V, *6	-10	10	$\mu$ A
入力容量	$C_I$	$f=1$ MHz, $V_I=0$ V		10	pF

\*1: XI端子に適用

\*2: XIを除く全入力端子に適用

\*3: BSYを除く全出力端子に適用

\*4: BSY端子に適用

\*5: ブルアップ抵抗内蔵入力端子に適用

\*6: ブルアップ抵抗内蔵入力端子を除く全入力端子に適用

## 4. 交流特性

## 4-1. 入出力クロック特性

(条件:  $T_{op}=0\sim 70\text{ }^{\circ}\text{C}$ ,  $V_{DD}=5.0\pm 0.25\text{ V}$ )

項目	記号	図	最小	標準	最大	単位
XI入力クロック周期	$t_{CLKM}$	1	8.192	16.9344	18.432	MHz
デューティ		1	40	50	60	%
MCKO遅れ時間 (1), *7	$t_{DO}$	1			25	ns
MCKO遅れ時間 (2), *8	$t_{DO}$	1			20	ns
MCK2遅れ時間 (1), *7	$t_{DO2}$	1			40	ns
MCK2遅れ時間 (2), *8	$t_{DO2}$	1			30	ns

\*7: マスタークロック 16.9344MHz (384fs @  $f_s=44.1\text{ kHz}$ )入力時\*8: マスタークロック 12.2894MHz (256fs @  $f_s=44.1\text{ kHz}$ )入力時

## 4-2. CPUインターフェース

(条件:  $T_{op}=0\sim 70\text{ }^{\circ}\text{C}$ ,  $V_{DD}=5.0\pm 0.25\text{ V}$ )

項目	記号	図	最小	標準	最大	単位
アドレスセットアップ時間	$t_{AS}$	3, 4	0			ns
アドレスホールド時間	$t_{AH}$	3, 4	10			ns
チップセレクトライト幅	$t_{CSW}$	3	80			ns
ライトパルス幅	$t_{WW}$	3	80			ns
ライトデータセットアップ時間	$t_{WDS}$	3	10			ns
ライトデータホールド時間	$t_{WDH}$	3	10			ns
チップセレクトリード幅	$t_{CSR}$	4	80			ns
リードパルス幅	$t_{RW}$	4	80			ns
リードデータアクセス時間	$t_{ACC}$	4			70	ns
リードデータホールド時間	$t_{RDH}$	4	20			ns
リセットパルス幅*	$t_{ICW}$	2	45.3			ns

\*: リセットパルスは、必ずマスタークロックが安定した後、入力して下さい。パルスの幅は、最低2DACサイクル以上として下さい (45.3 ns @  $f_s=44.1\text{ kHz}$ )。

## 4-3. Memoryインターフェース

(条件:  $T_{op}=0\sim 70\text{ }^{\circ}\text{C}$ ,  $V_{DD}=5.0\pm 0.25\text{ V}$ ,  $f_s=44.1\text{ kHz}$ ,  $C_L=50\text{ pF}$ )

項目	記号	図	最小	標準	最大	単位
メモリリード・ライトサイクル時間	$t_{RC}$	5, 6	354			ns
/CEプリチャージ時間	$t_p$	5, 6	78			ns
/CEに対するアドレスセットアップ時間	$t_{ASC}$	5, 6	30			ns
/CEアクセス時間	$t_{CEA}$	5			150	ns
/OEアクセス時間	$t_{OEA}$	5			70	ns
メモリデータホールド時間	$t_{DHC}$	5	0			ns
/WEアクティブ時間	$t_{WEW}$	6	70			ns
ライトコマンドホールド時間	$t_{WCH}$	6	190			ns
メモリライトデータセットアップ時間	$t_{DSW}$	6	100			ns
メモリライトデータホールド時間	$t_{DHW}$	6	0			ns

4-4. 入出力インターフェース

(条件:  $T_{op}=0\sim70\text{ }^{\circ}\text{C}$ ,  $V_{DD}=5.0\pm 0.25\text{ V}$ ,  $C_L=50\text{ pF}$ )

項目	記号	図	最小	標準	最大	単位
BCI周波数	$t_{BCI}$	7			3.07	MHz
DIセットアップ時間	$t_{DIS}$	7	10			ns
DIホールド時間	$t_{DIH}$	7	10			ns
LRIセットアップ時間	$t_{LRIS}$	7	10			ns
LRIホールド時間	$t_{LRIH}$	7	10			ns
BCO周波数	$t_{BCO}$	8, 9	2.05	2.82	3.07	MHz
DOセットアップ時間	$t_{DOS}$	8	100			ns
DOホールド時間	$t_{DOH}$	8	15			ns
WCOセットアップ時間	$t_{WCOS}$	8, 9	100			ns
WCOホールド時間	$t_{WCOH}$	8, 9	15			ns
LROセットアップ時間	$t_{LROS}$	8	100			ns
LROホールド時間	$t_{LROH}$	8	15			ns
LRO2セットアップ時間	$t_{LRO2S}$	9	100			ns
LRO2ホールド時間	$t_{LRO2H}$	9	15			ns

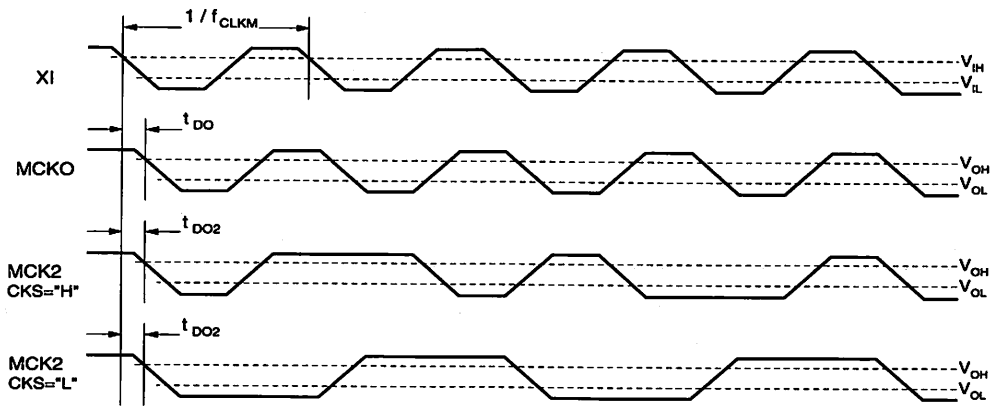


図1: 入出力クロックタイミング

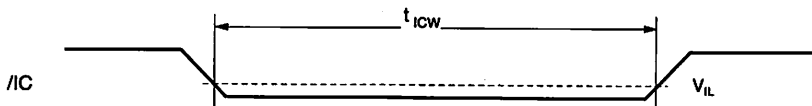
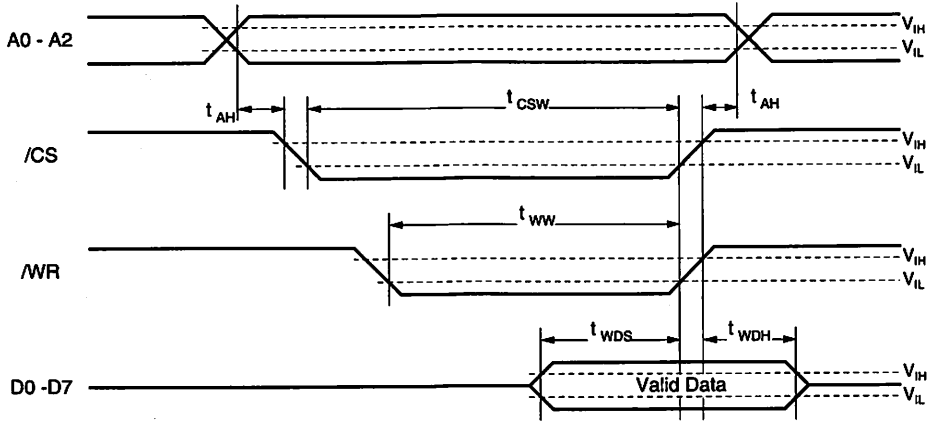
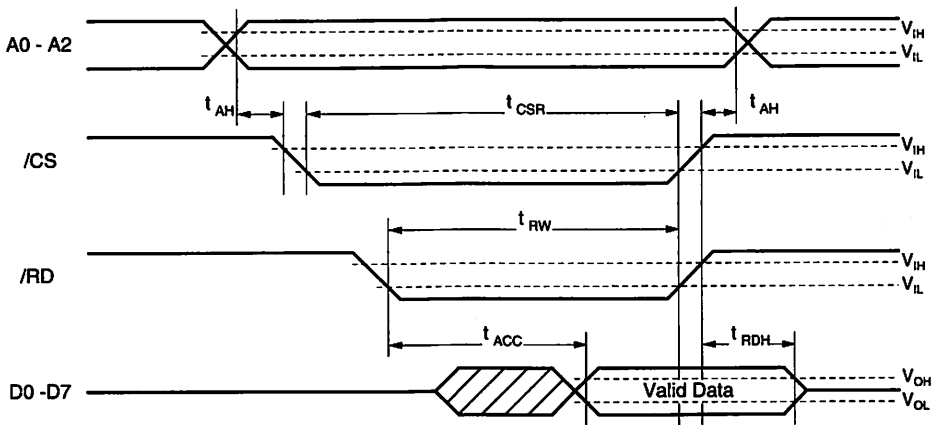


図2: リセットタイミング



$t_{AS}$ は、 $/CS$ 、 $/WR$ のいずれかが遅く、“L”レベルになるときを基準とする。また、 $t_{CSW}$ 、 $t_{WW}$ 、 $t_{WDS}$ 、 $t_{WDH}$ 、 $t_{AH}$ は、 $/CS$ 、 $/WR$ のいずれかが早く“H”レベルになるときを基準とする。

図3: CPUライトタイミング



$t_{AS}$ 、 $t_{ACC}$ は、 $/CS$ 、 $/RD$ のいずれかが遅く、“L”レベルになるときを基準とする。また、 $t_{CSR}$ 、 $t_{RW}$ 、 $t_{RDH}$ 、 $t_{AH}$ は、 $/CS$ 、 $/RD$ のいずれかが早く“H”レベルになるときを基準とする。

図4: CPUリードタイミング

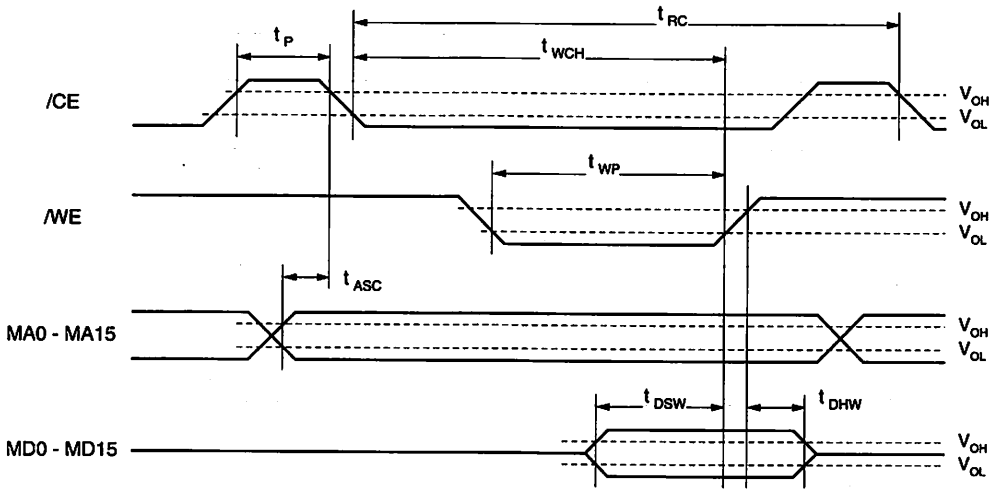


図5: メモリライトタイミング

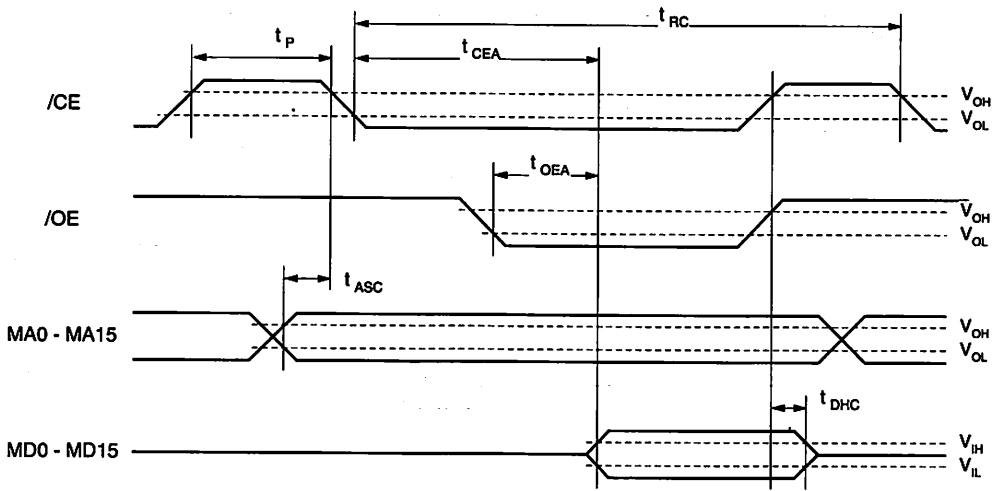


図6: メモリリードタイミング



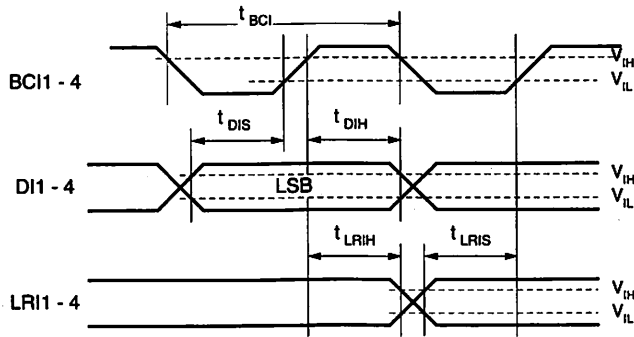


図7: シリアルデータ入力タイミング

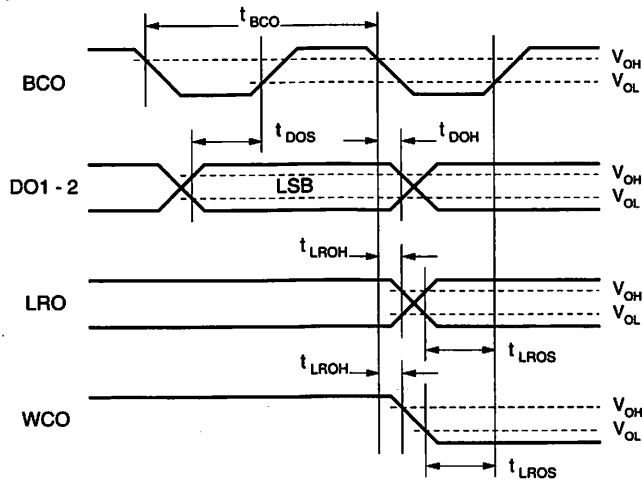


図8: シリアルデータ出力タイミング

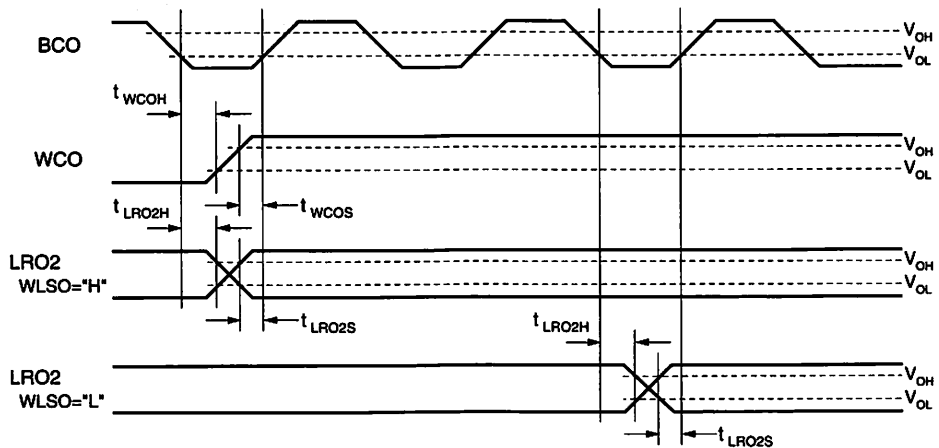
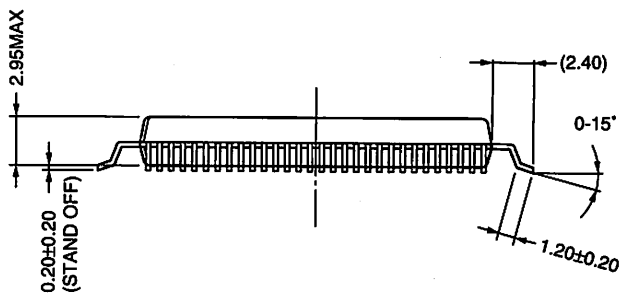
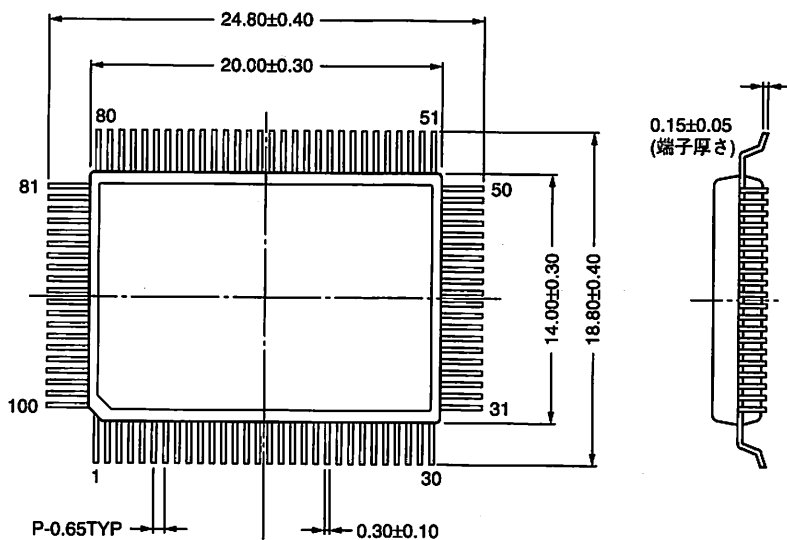


図9: LRO2クロックタイミング

■パッケージ外形図



カッコ内の寸法値は参考値とする  
 モールド外形寸法はバリを含まない  
 単位 (UNIT) : mm